

⑦

09-200172

(43)Date of publication of application : **31.07.1997**

H04J 3/06

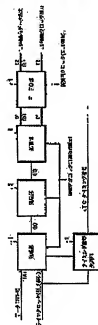
H04J 3/00

(71)Applicant : NEC CORP

(72) Inventor: **TAKAHASHI TSUGIO**

(57) Abstract:

SOLUTION: In the SDH transmission system applying mapping/de-mapping to an asynchronous signal, a de-mapped asynchronous signal is once stored in an FIFO memory in an FIFO section 4 at a receiver station side. Then the delay fluctuation of a receiver station side is minimized by reading the stored asynchronous signal one by one frame each in a timing of $'125\mu\text{sec} \times (\text{received AU pointer}/783) + \text{a prescribed time}'$.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-200172

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 J 3/06			H 0 4 J 3/06	Z
3/00			3/00	U

審査請求 有 請求項の数 3 F D (全 8 頁)

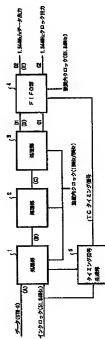
(21) 出願番号	特願平8-26118	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成8年(1996)1月19日	(72) 発明者	高橋 次男 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	弁理士 境 廣巳

(54) 【発明の名称】 SDH伝送システムの遅延変動吸収方法

(57) 【要約】

【課題】 SDH伝送システムの受信局側の遅延変動量を十分小さく抑圧する。

【解決手段】 非同期信号をマッピング、ディマッピングするSDH伝送システムにおいて、受信局側において、ディマッピングされた非同期信号をFIFO部4内のFIFOメモリに一旦蓄積する。そして、この蓄積した非同期信号を、「125μsec×(受信したAUボインタ値/783)＋一定時間」のタイミングで、1フレームずつ読み出すことにより、受信局側の遅延変動を最小に抑える。



【特許請求の範囲】

【請求項1】 非同期信号をマッピング、ディマッピングするSDH伝送システムにおいて、

受信局側において、ディマッピングされた非同期信号をFIFOメモリに一旦蓄積し、該蓄積した非同期信号を、「 $125\mu\text{sec} \times (\text{受信したAUポインタ値}/783) + \text{一定時間}$ 」のタイミングで、各フレームずつ読み出すようにしたことを特徴とするSDH伝送システムの遅延変動吸収方法。

【請求項2】 TUポインタ値を固定化し、且つ、マージンである定数を α としたとき、「 $125\mu\text{sec} + (125\mu\text{sec} \times 4) \times \text{TUポインタ値}/104 + \alpha$ 」で与えられる値を前記一定時間とすることを特徴とする請求項1記載のSDH伝送システムの遅延変動吸収方法。

【請求項3】 非同期信号としてキャリアリレー信号を伝送することを特徴とする請求項2記載のSDH伝送システムの遅延変動吸収方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はSDH (Synchronous Digital Hierarchy) 伝送システムを用いてキャリアリレー信号などの信号を伝送する場合に問題となる遅延変動時間を抑圧するSDH伝送システムの遅延変動吸収方法に関する。

【0002】

【従来の技術】 図8はSDH伝送システムにおける多重化構造の基本構成図であり、SDH伝送システムのクロックと非同期な1.544Mb/s信号をSDH伝送システムへマッピング、ディマッピングする場合を例にしている。

【0003】 図8に示すように、非同期1.544Mb/s信号は、SDH伝送システムの送信局側において、まずC (Container) の一種であるC-11にマッピングされる。次に、C-11にPOH (パスオーバーヘッド) が付加されて、低次バーチャルコンテナ (Lower order Virtual Container) の一種であるVC-11が生成され、更に、TUポインタが付加されたTU (Tributary Unit) の一種であるTU-11が生成される。ここで、TUポインタは、低次VCをTUに収容する際に、そのTUが収容されている高次VCのフレーム位相と低次VCのフレーム位相の時間差を、アドレスで示すためのポインタである。次に、同一種類のTUを1個あるいは複数個束ねたTUG (Tributary Unit Group) の一種であるTUG-2が生成され、更にTUG-2を多重化してPOHを付加した高次バーチャルコンテナの一種であるVC-3が生成され、次いで、AUポインタが付加されたAU (Administrative Unit) の一種であるAU-3が生成

される。ここで、AUポインタは、高次VCをAUに収容する際に、そのAUが収容される同期伝送モジュールのフレーム位相と、高次VCのフレーム位相の時間差を、アドレスで示すためのポインタである。そして、AU-3を1個あるいは複数個束ねたAUG (Administrative Unit Group) が生成され、最後に、SOH (Section Over Head) を付加したSTM-0 (Synchronous Transfer Module Level 0) が生成され、光ファイバケーブル等を通じて受信局側に送られる。なお、STM-0の代わりに、STM-1、STM-4、STM-16が使用される場合もある。

【0004】 他方、受信局側においては、送信局側と逆の手順で、STM-0から、AUG、AU-3、VC-3、TUG-2、TU-11、VC-11、C-11を経て、非同期1.544Mb/s信号が分離される。

【0005】

【発明が解決しようとする課題】 ところで、SDH伝送システムは、絶対遅延量が小さい反面、遅延変動量が比較的大きい。これは、SDHにおいては、伝送フレームと多重化される情報のフレームとのずれをAUポインタ、TUポインタと呼ばれるオフセット値 (アドレス値) により、あたかもメモリにアクセスするが如く指示する技術を用いて同期化しており、そのポインタ処理上ビットバッファを必要とするために、このビットバッファの位相吸収範囲がそのまま系の遅延変動として現れるからである。遅延変動はSDH伝送システムの構成によっては送信局側や若し中継局があれば中継局側でも発生するが、当然に受信局側においても発生する。本発明は、この受信局側における遅延変動量を抑圧することを目的としている。

【0006】 一般に受信局側遅延変動量は、AUポインタ処理での遅延変動量とTUポインタ処理での遅延変動量との和となる。一般にポインタ処理用のビットバッファ容量は最低でも3ビット必要とされるため、AUポインタ処理では、

$$156\text{nsec} (1/6.4\text{MHz}) \times 3 = 0.468\mu\text{sec}$$

の遅延変動量となり、TUポインタ処理では、

$$0.578\mu\text{sec} (1/1.728\text{MHz}) \times 3 = 1.736\mu\text{sec}$$

の遅延変動量となる。従って、受信局側全体では、約2.2 μsec の遅延変動量となる。

【0007】 このような遅延変動は、遅延変動量の制限が厳しい信号、例えば電力網制御用キャリアリレー信号の伝送を行う場合には問題となる。即ち、キャリアリレーシステムは送電線の両端における同時刻の送電線電流値等の情報をキャリアを用いて伝送して比較することにより送電系統の異常を検出して必要な保護を行うシステムであり、受端においては、送端からのデータの伝送遅

延時間が既知でかつ変動しないことを前提として、受端側における同時刻の送電線電流値と比較しているため、或る程度の絶対遅延時間は許容できるが、伝送遅延時間の変動には厳しい制限が課せられるためである。

【0008】なお、SDH伝送システムを用いてキャリアリレー信号を伝送する従来の技術として、特開平5-160804号公報に見られる技術がある。この従来技術は、SDHフレームにおけるDCC(Data Communication Channel)の位置がフレーム中において固定であり伝送遅延時間の変動を受けない点に着目し、キャリアリレー信号をDCCを用いて

$$125\mu\text{sec} \times (\text{受信したAUポインタ値}/783) + \text{一定時間}$$

…(1)

のタイミングで、各フレームずつ読み出す。

【0010】ディマッピングされた非同期信号をFIFOメモリに一旦蓄積し、この蓄積した非同期信号を、受信局側のポインタ処理による遅延変動の影響を受けない或る基準とする位置から一定時間経過後のタイミングで読み出すと、絶対遅延時間は増大するが、ポインタ処理による遅延変動はその増大した絶対遅延時間内で吸収され、遅延変動を抑圧することができる。

【0011】ここで、ポインタ処理による遅延変動の影響を受けない或る基準とする位置として、本発明では、受信したAUポインタ値、つまり未だポインタ処理されていない受信時点のAUポインタ値が示すペイロード内のJ1(VC-3の先頭)の位置を使用する。但し、AUポインタ値は、図1のSTM-0フォーマット図のペイロード部分に記入するように0から782までの値をとるが、例えば86から87、173から174の箇所のように次の行に移る際にはSOHを跨るため、AUポインタ値とJ1位置との関係は、図2の実線21に示すようにリニアにならない。そこで、AUポインタ値が

$$125\mu\text{sec} + (125\mu\text{sec} \times 4) \times \text{TUポインタ値}/104 + \alpha$$

…(2)

例えばTUポインタ値0の場合は、V2までの1フレーム分+ α 、つまり、 $125\mu\text{sec} + (125\mu\text{sec} \times 4) \times 0/104 + \alpha = 125\mu\text{sec} + \alpha$ となる。また、TUポインタ値103の場合は、次のV2の手前のバイト+ α 、つまり、 $125\mu\text{sec} + (125\mu\text{sec} \times 4) \times 103/104 + \alpha = 620\mu\text{sec} + \alpha$ となる。

【0013】

【発明の実施の形態】次に本発明の実施の形態の例について図面を参照して詳細に説明する。

【0014】図3は本発明を適用したSDH伝送システムを用いて非同期信号を伝送する場合の基本構成例を示し、非同期1.544Mb/s信号を伝送する場合を示す。キャリアリレー信号などの非同期1.544Mb/s信号は、送信局側において従来と同様にC-11にマッピングされた後、VC-11、TU-1、TUG-

伝送するものである。しかし、DCCで伝送できるデータ量はペイロードで伝送できるデータ量に比べて遠に少ないため、大容量のキャリアリレー信号の伝送には適さない。本発明は、ペイロードで伝送される信号の遅延変動を抑圧しようとするものである。

【0009】

【課題を解決するための手段】本発明は、非同期信号をマッピング、ディマッピングするSDH伝送システムにおいて、受信局側において、ディマッピングされた非同期信号をFIFOメモリに一旦蓄積し、該蓄積した非同期信号を、

0から782まで変化したときJ1の位相が $125\mu\text{sec}$ 変化することから、 $125\mu\text{sec} \times (\text{受信したAUポインタ値}/783)$ によってJ1の位置を補正し、図2の一点鎖線22に示すようにSOHの影響を取り除いてAUポインタ値に対してリニアに変化するようなJ1位置を求め、この補正後のJ1の位置を基準にする。

【0012】また、上記(1)式における一定時間は、絶対遅延時間ができるだけ短くなるように定められる。

絶対遅延時間は、各多重分離時における固定遅延時間に加えてTUポインタ値で示される位置も関係する。このため、TUポインタ値が可変であると上記一定時間も可変にする必要があり、制御が複雑になる。そこで、本発明では、TUポインタ値を固定化する。そして、AUポインタで示されるJ1の次のバイトがTUレベルのV1に当たり、TU内のポインタ値はV1とV2で示され、ポインタ値0がV2の次のバイトであり、またTUポインタ値は0から103までの104値(26×4)を取るため、マージンとしての定数を α としたとき、下記の式(2)で与えられる値を前記一定時間とする。

2, VC-3, AU-3, AUGを経てSTM-0に多重化され、光ファイバケーブル等を通じて受信局側に送られる。受信局側においては、送信局側と逆の手順で従来と同様にSTM-0から、AUG, AU-3, VC-3, TUG-2, TU-11, VC-11, C-11を経て、非同期1.544Mb/s信号が多重分離される。そして、本発明では、この多重分離された非同期1.544Mb/s信号をFIFOメモリに一旦蓄積し、AU-3の処理を行う部分において生成した所定のタイミング信号TCに同期して、各フレームずつ読み出す。

【0015】図4は受信局側の構成例を示すブロック図である。同図において、処理部1は送信局側から受信したSTM-0およびラインクロック(51.84MHz)を入力し、STM-0からAUG, AUGからAU-3の分離を行う部分、処理部2はAU-3からVC-

3, VC-3からTUG-2, TUG-2からTU-1, TU-1からVC-11の分離を行う部分、処理部3はVC-11からC-11への分離を行って非同期1.544Mb/s信号D1とクロックC1とを出力する部分であり、TUポインタ値を固定化するためにこれらは全て同じ装置内クロック(19MHz/6MHz)に同期して動作する。

【0016】また、FIFO部4は、処理部3から出力された非同期1.544Mb/s信号D1をクロックC1に同期して内部のFIFOメモリに書き込み、タイミング信号TCに同期して各フレームずつ非同期1.544Mb/s信号をFIFOメモリから読み出し、クロック(1.544MHz)C2と共に出力する部分である。

【0017】更に、タイミング信号生成部5は、FIFO部4に与えるタイミング信号TCを生成する部分であり、処理部1からそこで解釈されたAUポインタ値が入力され、またラインクロックも入力される。このタイミング信号生成部5は、AUポインタ値とシステム固定のTUポインタ値に基づいて、前述した式(1)、(2)に従ってタイミング信号TCを生成する。

【0018】タイミング信号生成部5は、例えば図5に示すように、ROM51と加算器52とカウンタ53とで実現することができる。ここで、ROM51には、0から782までの各アドレス値に対応する記憶域に、「 $125\mu\text{sec}$ (アドレス値/783)」の計算結果が予め記憶されており、図4の処理部からのAUポインタ値をアドレス入力として、該当する記憶域に記憶された計算結果を加算器52に出力する。加算器52は、ROM51から出力された計算結果と、前記式(2)で求められる一定時間とを加算し、加算結果をカウンタ53にロードする。カウンタ53はラインクロック(51.84MHz)でカウントダウンし、カウント値0になると、タイミング信号TCを出力する。なお、一定時間も考慮した計算結果をROM51に記憶しておけば、加算器52は不要である。

【0019】またFIFO部4は、例えば図6に示すように、FIFOメモリ41、読み出しクロック生成回路42、D型フリップフロップ43、44およびアンドゲート45で構成できる。図6において、FIFOメモリ41には処理部3から出力される非同期1.544Mb/s信号D1がクロックC1に同期して書き込まれる。他方、タイミング信号TCがハイレベルに変化すると、アンドゲート45の出力が装置内クロックに同期してそのクロックの1周期の間ハイレベルになり、読み出しクロック生成回路42はこのアンドゲート45の出力がハイレベルとなるタイミングを起点として、装置内クロック(51.84MHz)から生成した読み出しクロック(1.544MHz)をFIFOメモリ41に加え、非同期1.544Mb/s信号の読み出しを行う。このと

き、読み出しクロック生成回路42は、1フレーム分の読み出しに必要な数の読み出しクロックを発生すると、次にアンドゲート45の出力がハイレベルになると読み出しクロックの発生を停止する。

【0020】図7は図4の受信局側におけるタイムチャートの一例を示す。同図において、受信フレーム(A)は図4の処理部1で受信されるフレームに、AU-3装置内フレーム(B)は図4の処理部1でAUポインタ処理された後のフレームに、TU-11フレーム(C)は図4の処理部2でTUポインタ処理された後のフレームに、1.544Mb/sのデータ出力(D)は処理部3から出力される非同期1.544Mb/s信号D1に、FIFOで遅延吸収後の出力(E)は図4のFIFO4から出力される非同期1.544Mb/s信号D2に、それぞれ対応している。

【0021】図7に示すように、AU-3装置内フレーム(B)では、VC-3の先頭(J1)はAUポインタにかかるビットパターンの許容位相範囲内で遅延変動が発生している。他方、TU-11フレーム(C)では、本実施例ではTUポインタを固定化しているためTUポインタにかかる遅延変動はなく、VC-11の先頭(V5)はTUポインタ値で示される位置+固定遅延の箇所が存在する。従って、1.544Mb/sのデータ出力(D)はAU-3装置内フレーム(B)の受ける遅延変動分だけ遅延変動する。

【0022】この遅延変動を抑圧するため、本実施例では、まず受信フレーム(A)におけるJ1位置を図7の受信フレーム(A')の補正後のJ1位置のように補正する。この補正は、前記(1)式における「 $125\mu\text{sec}$ (受信したAUポインタ値/783)」の計算に相当する。そして、この補正後のJ1位置より前記(2)式で示される一定時間遅延させたタイミングでFIFOメモリ41からデータを読み出す。この読み出したものが、図7の(E)であり、常に補正後のJ1に同期している。なお、図7ではV5の箇所についてのみ示しているが、TU-11フレームではV5に相当する他のフレームの位置は固定バイト(1固定)となっており、位置が明確なので、他フレームでもV5の場合と同様の処理が可能である。ここで、タイミング信号生成部5においてJ1の位置補正をラインクロック51.84MHzを用いて行う場合の時間精度は約156nsec(1/6.4MHz)±20nsecであり、更にタイミング信号TCをFIFO部4で装置内クロック51.84MHzに乗せ替えるための時間精度は-20nsec〜+40nsec程度なので、FIFOメモリから読み出される非同期1.544Mb/s信号の遅延変動は156nsec-20nsec〜156nsec+40nsecとなる。

【0023】

【発明の効果】以上説明したように、本発明によれば、

SDH伝送システムで非同期信号を伝送する際の受信局側遅延変動時間を大幅に低減することが可能となる。

【図面の簡単な説明】

【図1】STM-0のフォーマットを示す図である。

【図2】AUポインタ値と、J1位置、補正後のJ1位置との関係を示す図である。

【図3】本発明を適用したSDH伝送システムを用いて非同期信号を伝送する場合の基本構成例を示す図である。

【図4】本発明を適用したSDH伝送システムの受信局側の構成例を示すブロック図である。

【図5】タイミング信号生成部の構成例を示すブロック図である。

【図6】FIFO部の構成例を示すブロック図である。

【図7】受信局側におけるタイムチャートの一例を示す

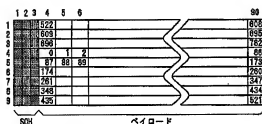
図である。

【図8】SDH伝送システムにおける多重化構造の基本構成図である。

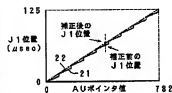
【符号の説明】

- 1…3…処理部
- 4…FIFO部
- 41…FIFOメモリ
- 42…読み出しクロック生成回路
- 43, 44…D型フリップフロップ
- 45…ANDゲート
- 5…タイミング信号生成部
- 51…ROM
- 52…加算器
- 53…カウンタ

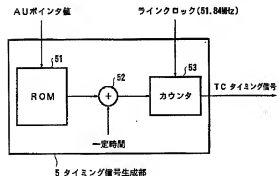
【図1】



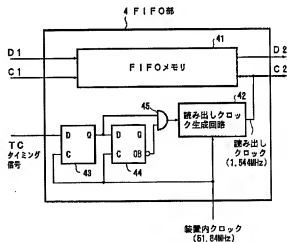
【図2】



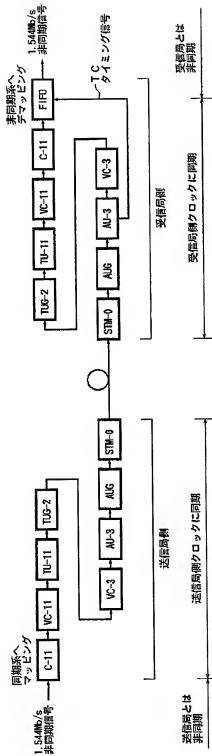
【図5】



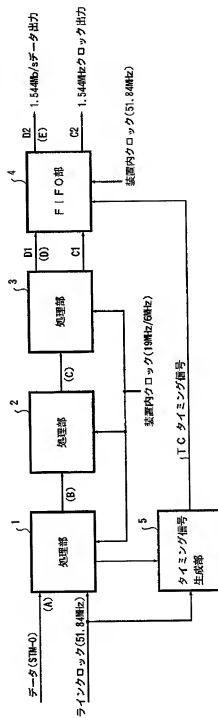
【図6】



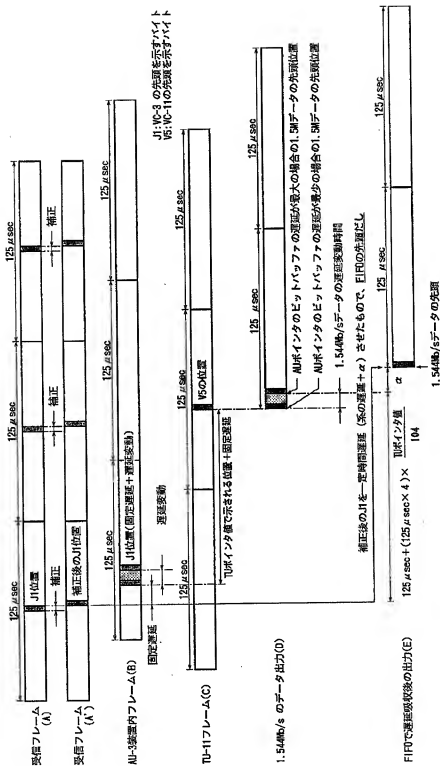
【図3】



【図4】



【図7】



【図8】

